

佈局題

A 題目說明：

以下為一個子電路，電路架構(Schematic)如下圖，請考生以 IC 佈局的形式實現(可不需考慮電流密度與 OD/POLY/Metal Density Rules)，並完成 DRC 和 LVS 驗證正確。

使用製程：TSRI 0.18um 1P6M Virtual Process

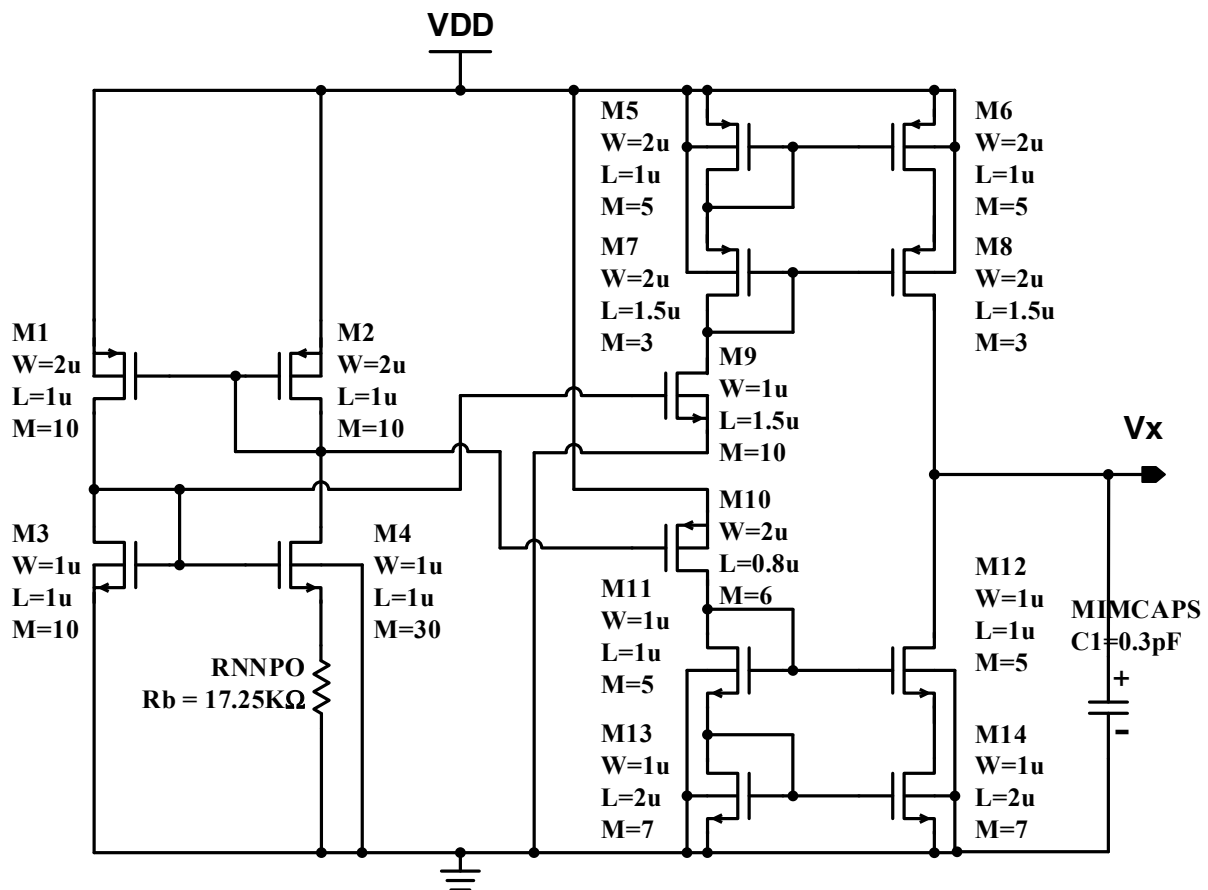
要求面積： $\leq 2500\mu\text{m}^2$

佈局寬長比： ≥ 0.7 (不得大於“1”) 詳見附註說明

Netlist File：~/Exam/Layout_netlist/0909.src.net

Top Cell Name: 0909

電路架構(Schematic)圖如下：



提示：Mimcap Area Cap = $1\text{ fF}/\mu\text{m}^2$,

Mimcap Perimeter Cap = $0.075\text{ fF}/\mu\text{m}$

RNNPO 單位阻值： 115Ω

B 繳交檔案

注意：繳交檔案務必依照以下規定命名，並存放於“指定目錄”下，否則視為未依規定繳交檔案，不予評分與計分！

1. 佈局檔請命名為“layout.gds”，且必須存放於 ~/ANS/ANS_Layout 目錄下
2. DRC Summary Report 請命名“layout.sum”，且必須存放於 ~/ANS/ANS_Layout 目錄下
3. LVS Report 請命名“layout.lvs”，且必須存放於 ~/ANS/ANS_Layout 目錄下

C 計分方式

本題請在限定時間(270 分鐘)內完成，下列 1~4 項條件總分為 40 分，倘若其中有任何一項未達成，則為 0 分。

1. 佈局面積： $\leq 2500\mu\text{m}^2$
2. 佈局寬長比： ≥ 0.7 (不得大於“1”) 詳見附註說明
3. DRC 驗證完成且完全正確無誤
4. LVS 驗證完成且完全正確無誤

LVS 驗證所需之 Netlist 檔案和 Top Cell Name 為

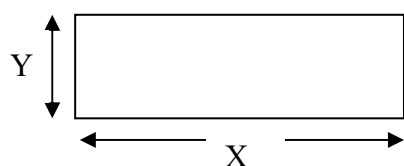
Netlist File：~/Exam/Layout_netlist/0909.src.net

Top Cell Name: 0909

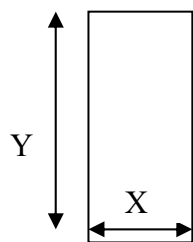
5. 達成 1~4 項條件，佈局時可增加二項加分佈局條件如下，一項 15 分，共 30 分。
 - 一、 C1 電容 0.3pF，請拆解成 3 顆電容各 0.1pF 且並聯。
 - 二、 Rb 電阻 17.25K，請拆解長 30 μm 、寬 1 μm 、5 根電阻串聯，電阻二側請放相同大小 Dummy 電阻並接地。

附註說明：

佈局寬長比的定義如圖所示：



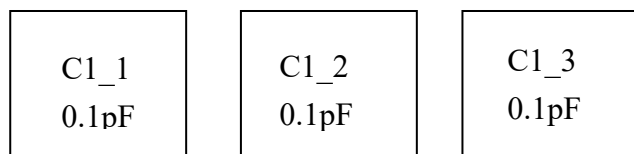
當 $X > Y$ ，則長為 X ，寬為 Y ，其寬長比 $= Y/X$



當 $X < Y$ ，則長為 Y ，寬為 X ，其寬長比 $= X/Y$

以上圖解的定義，寬長比必定為 ≤ 1 的數值，因此當佈局呈現一正方形時(即 X 邊長相似 Y 邊長)，寬長比值就可能近似於 1

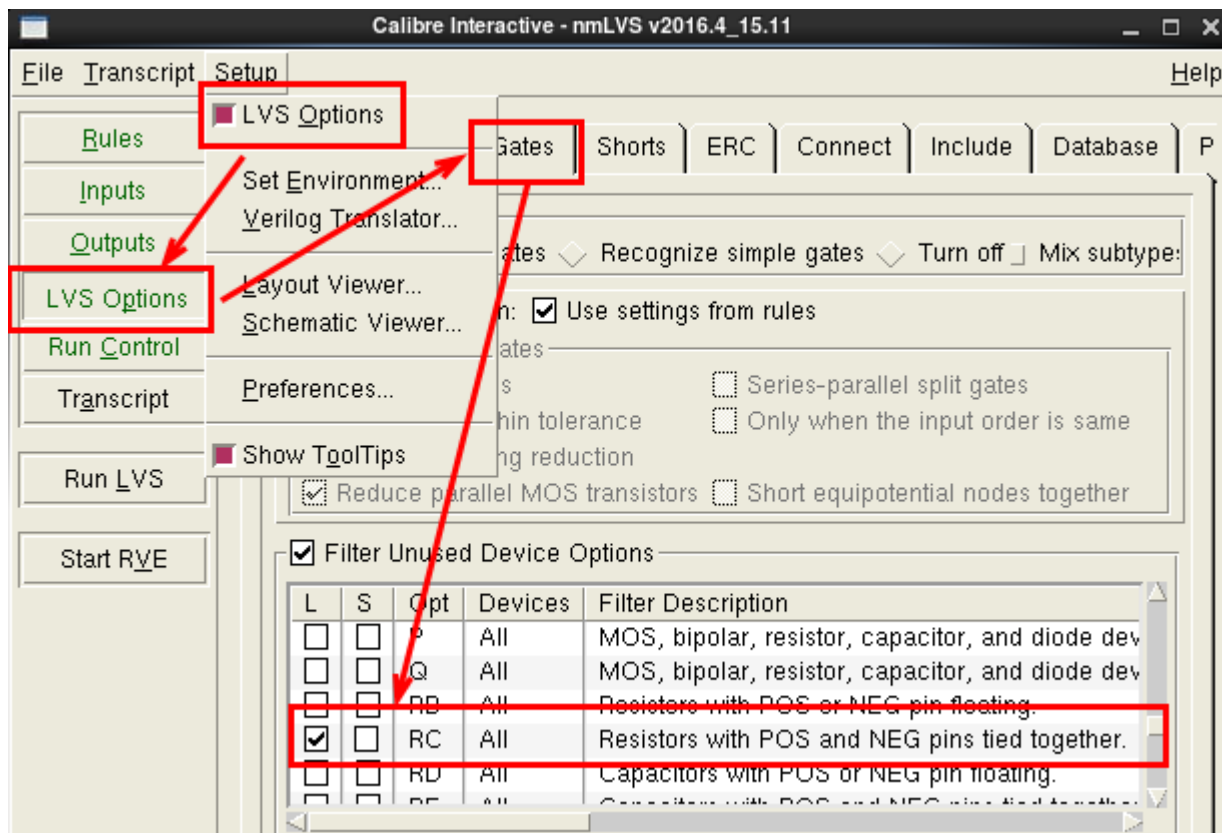
電容定義如圖所示：



電阻定義如圖所示：



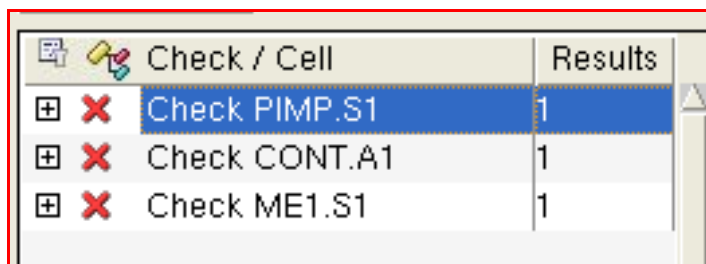
LVS 設定上，請將 Calibre LVS 圖示，點選 Setup → LVS Options，於左列出現 LVS Options，其選項 Gates 下的 Filter Undsed Device Options，將 RC 選項 L 勾選，其電阻二端共接時，會排除該元件。



DRC 除錯題

A 題目說明：

在進行佈局 DRC 驗證時，發現佈局有 DRC 錯誤，其錯誤如圖一所示。



Check / Cell	Results
✗ Check PIMP.S1	1
✗ Check CONT.A1	1
✗ Check ME1.S1	1

圖一 DRC 錯誤

請修正圖一所示之全部 DRC 錯誤，佈局修正時不需考慮電流密度。最終繳交之修正後佈局檔 (**PWM_drc_ok.gds**) 需完成 Calibre LVS 驗證無誤，方能依照「計分方式」計分。

B 計分方式：

依照表一配分方式，每解決一個 DRC 錯誤可得其配分，但最終繳交之修正後佈局檔 (**PWM_drc_ok.gds**) 必需完成 Calibre LVS 驗證無誤，如 LVS 驗證有錯誤，本題 0 分。

錯誤種類	錯誤數量(配分)
PIMP.S1	1 (5 分)
CONT.A1	1 (5 分)
ME1.S1	1 (5 分)

表一 DRC 除錯配分表

本題目以解決 DRC 錯誤為主，如因解決題目而額外產生其他 DRC 錯誤，將按照額外產生的 DRC 錯誤數量進行扣分(每多一個額外錯誤扣 1 分)，扣至本題 0 分為止。

C 建議步驟：

1. 請將已知有 DRC 錯誤之佈局檔: **~/Exam/DRC_debug/PWM_bug_drc.gds** 匯入(Stream In)佈局編輯軟體(如 Virtuoso, Laker)，並請先進行 Calibre DRC 驗證，以確認 DRC 錯誤種類與數量是否與圖一相符。
2. 根據 DRC 錯誤說明找出佈局違反 Design Rule 的位置，並進行錯誤修正。佈局修正時不需考慮電流密度。
3. 進行錯誤修正時，如有需要，可參考圖二電路圖(Schematic)，以利確認佈局的電路、元件、尺

4. 完成錯誤修正後，必須再進行 DRC 和 LVS 驗證，需同時確保 Calibre DRC 和 Calibre LVS 驗證無誤。

已知有 DRC 錯誤的佈局檔(GDS File)：

[Top Cell Name: **PWM**]

~/Exam/DRC_debug /PWM.src.net

[Top Cell Name: **PWM**]

The circuit schematic shows a differential pair of NMOS transistors (M1 and M2) with a Wilson current source (M3, M4, M5) and a PMOS current mirror (M6, M7). The input signal V_{IN} is applied to the gates of M1 and M2. The output signal V_{OUT} is taken from the drains of M1 and M2. The circuit is powered by V_{DD} and GND . The transistor parameters are as follows:

- M1: $W=3\mu$, $L=1\mu$, $M=4$
- M2: $W=2\mu$, $L=1\mu$
- M3: $W=2\mu$, $L=1\mu$
- M4: $W=2\mu$, $L=1\mu$
- M5: $W=2\mu$, $L=1\mu$
- M6: $W=3\mu$, $L=1\mu$
- M7: $W=3\mu$, $L=1\mu$, $M=2$
- M8: $W=3\mu$, $L=1\mu$, $M=2$
- M9: $W=2\mu$, $L=1\mu$, $M=2$
- M10: $W=2\mu$, $L=1\mu$, $M=2$
- M11: $W=2\mu$, $L=1\mu$, $M=4$
- M12: $W=3\mu$, $L=1\mu$, $M=4$
- M13: $W=2\mu$, $L=1\mu$, $M=8$
- M14: $W=3\mu$, $L=1\mu$, $M=8$

圖二 電路圖(PWM Schematic)

D 繳交檔案：

注意：繳交檔案務必依照以下規定命名，並存放於指定目錄下，否則視為未依規定繳交檔案，不予評分與計分！

請將 DRC 錯誤修正後之佈局匯出(Stream Out)，並儲存至：

~/ANS/ANS_DRC_debug/PWM_drc_ok.gds

以利評分

LVS 除錯題

A 題目說明：

在進行佈局 LVS 驗證時，發現佈局有 LVS 錯誤，其錯誤如圖一所示。

Layout Cell / Type	Source Cell	Count	Nets	Instances	Ports
✖ Comparator	Comparator	9	11L, 13S (-2)	12L, 15S (-3)	5L, 5S
✖ Discrepancies		9			
✖ Incorrect Nets		3			
✖ Discrepancy #1				4L, 3S (+1)	
✖ Discrepancy #2				0L, 4S (-4)	
✖ Discrepancy #3				0L, 3S (-3)	
✖ Incorrect Instances		5			
✖ Discrepancy #4					
✖ Discrepancy #5					
✖ Discrepancy #6					
✖ Discrepancy #7					
✖ Discrepancy #8					
✖ Property Errors		1			
✖ Discrepancy #9					
Detailed Instance Info					

圖一 LVS 錯誤

請修正圖一所示之全部 LVS 錯誤，佈局修正時不需考慮電流密度。

B 計分方式：

完成本題全部 LVS 錯誤修正，並且同時通過 Calibre DRC 和 LVS 驗證，正確無誤後，可得滿分 15 分。

本題以解決 LVS 錯誤為主，如因解決題目而額外產生任何 LVS 或 DRC 錯誤，則本題 0 分計算。

C 建議步驟：

1. 請將已知有 LVS 錯誤之佈局檔: **~/Exam/LVS_debug/Comparator_bug_lvs.gds** 匯入(Stream In)佈局編輯軟體(如 Virtuoso, Laker)，並請先進行 Calibre LVS 驗證，以確認 LVS 錯誤種類與數量是否與圖一相符。
2. 根據 LVS 錯誤說明找出佈局與電路不一致處，並進行修正。佈局修正時不需考慮電流密度。
3. 進行錯誤修正時，如有需要，可參考圖二~圖三電路圖(Schematic)，以利確認佈局的子電路、元件、尺寸與節點等相關資訊。
4. 完成錯誤修正後，必須再進行 LVS 和 DRC 驗證，需同時確保 Calibre DRC 和 Calibre LVS 驗證無誤。

使用製程：TSRI 0.18 1P6M Virtual Process

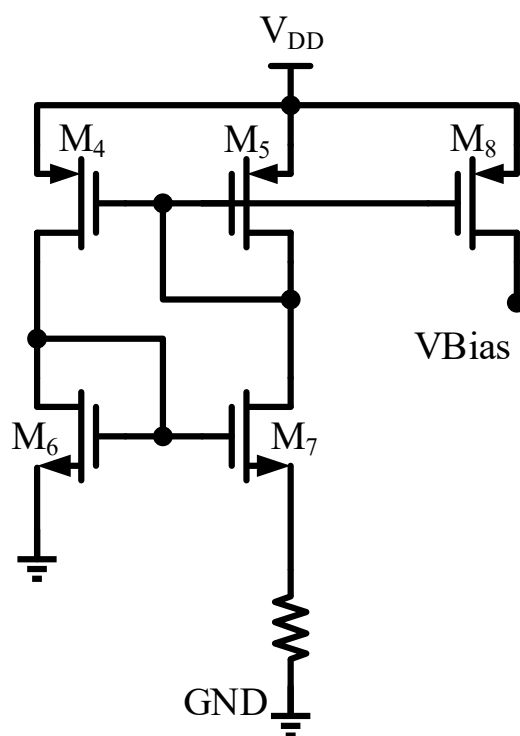
已知有 LVS 錯誤的佈局檔(GDS File)：

~/Exam/LVS_debug/Comparator_bug_lvs.gds [Top Cell Name: **Comparator**]

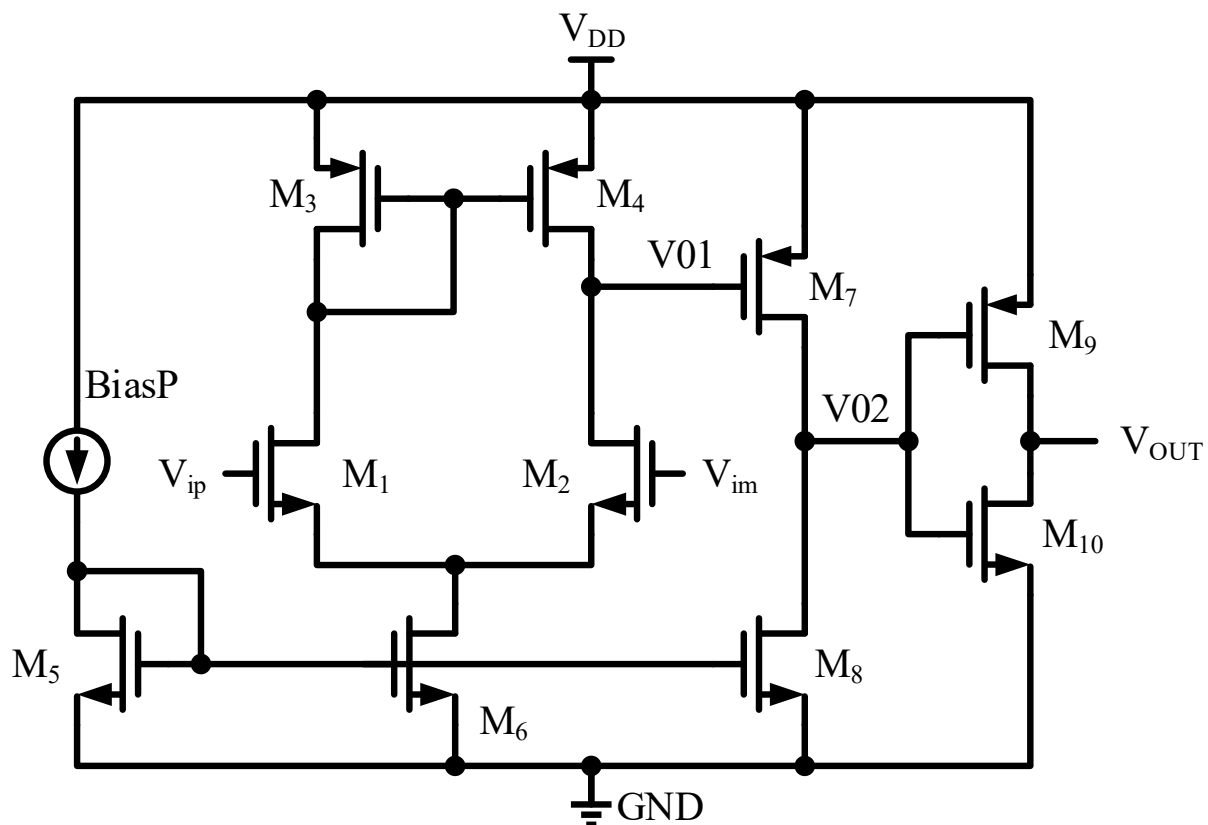
可驗證 LVS 之 Netlist File：

~/Exam/LVS_debug/Comparator.src.net [Top Cell Name: **Comparator**]

電路圖(Schematic)如下圖二~圖三所示：



圖二 電路圖(BiasP Schematic)



圖三 電路圖(Comparator Schematic)

D 繳交檔案：

注意：繳交檔案務必依照以下規定命名，並存放於指定目錄下，否則視為未依規定繳交檔案，不予評分與計分！

請將 LVS 錯誤修正後之佈局匯出(Stream Out)，並儲存至：
~/ANS/ANS_LVS_debug/Comparator_lvs_ok.gds
 以利評分