

佈局題

A 題目說明：

以下為一個子電路，電路架構(Schematic)如下圖，請考生以 IC 佈局的形式實現(可不需考慮電流密度與 OD/POLY/Metal Density Rules)，並完成 DRC 和 LVS 驗證正確。

使用製程：TSRI 0.18um 1P6M Virtual Process

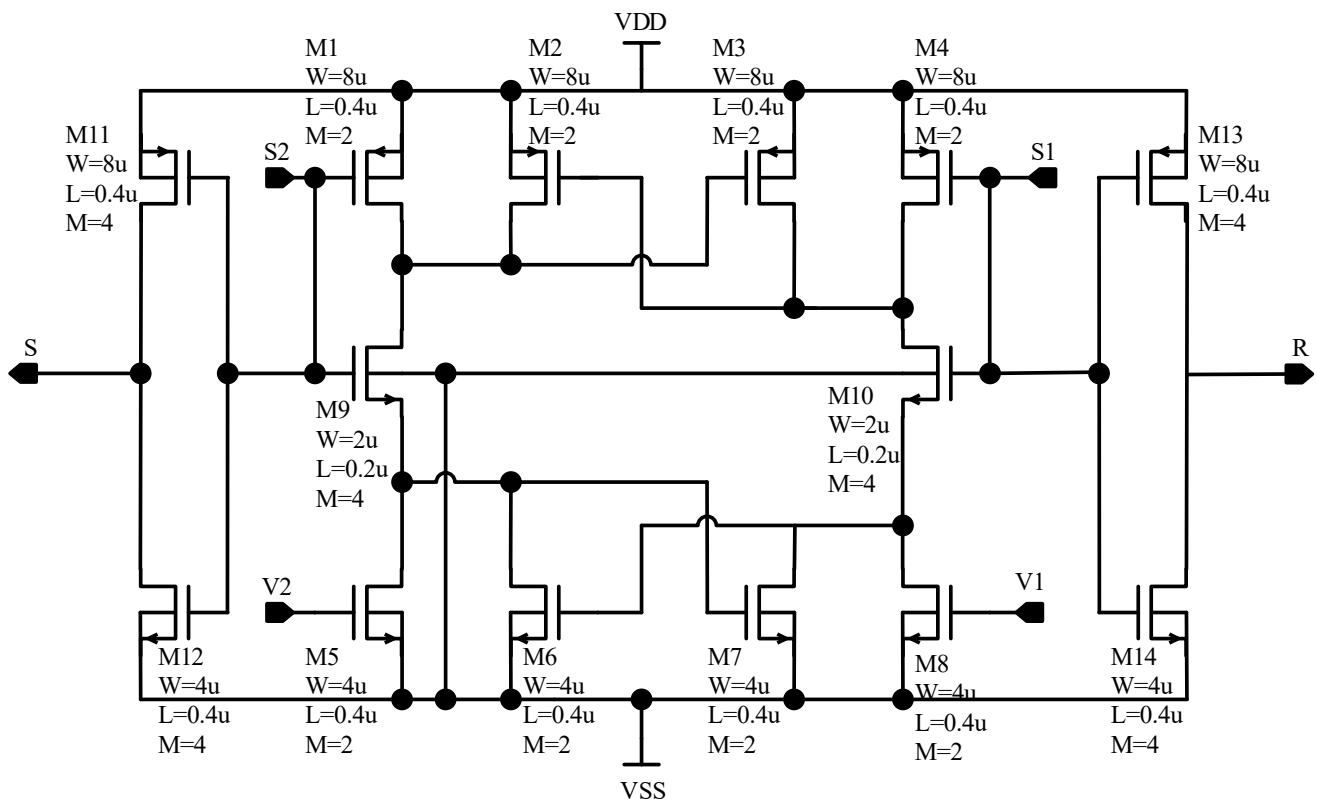
要求面積： $\leq 900\mu\text{m}^2$

佈局寬長比： ≥ 0.7 (不得大於“1”) 詳見附註說明

Netlist File：~/Exam/Layout_netlist/TWO.src.net

Top Cell Name: TWO

電路架構(Schematic)圖如下：



B 繳交檔案

注意：繳交檔案務必依照以下規定命名，並存放於“指定目錄”下，否則視為未依規定繳交檔案，不予評分與計分！

1. 佈局檔請命名為“layout.gds”，且必須存放於 ~/ANS/ANS_Layout 目錄下
2. DRC Summary Report 請命名“layout.sum”，且必須存放於 ~/ANS/ANS_Layout 目錄下
3. LVS Report 請命名“layout.lvs”，且必須存放於 ~/ANS/ANS_Layout 目錄下

C 計分方式

本題僅區分“合格”與“不合格”兩類，請在限定時間(270 分鐘)內完成下列四項條件即為合格，倘若其中有任何一項未達成，則最終成績為不合格。

1. 佈局面積： $\leq 900\mu\text{m}^2$
2. 佈局寬長比： ≥ 0.7 (不得大於“1”) 詳見附註說明
3. DRC 驗證完成且完全正確無誤
4. LVS 驗證完成且完全正確無誤

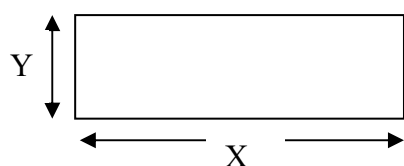
LVS 驗證所需之 Netlist 檔案和 Top Cell Name 為

Netlist File：~/Exam/Layout_netlist/TWO.src.net

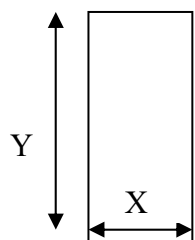
Top Cell Name: TWO

附註說明：

佈局寬長比的定義如圖所示：



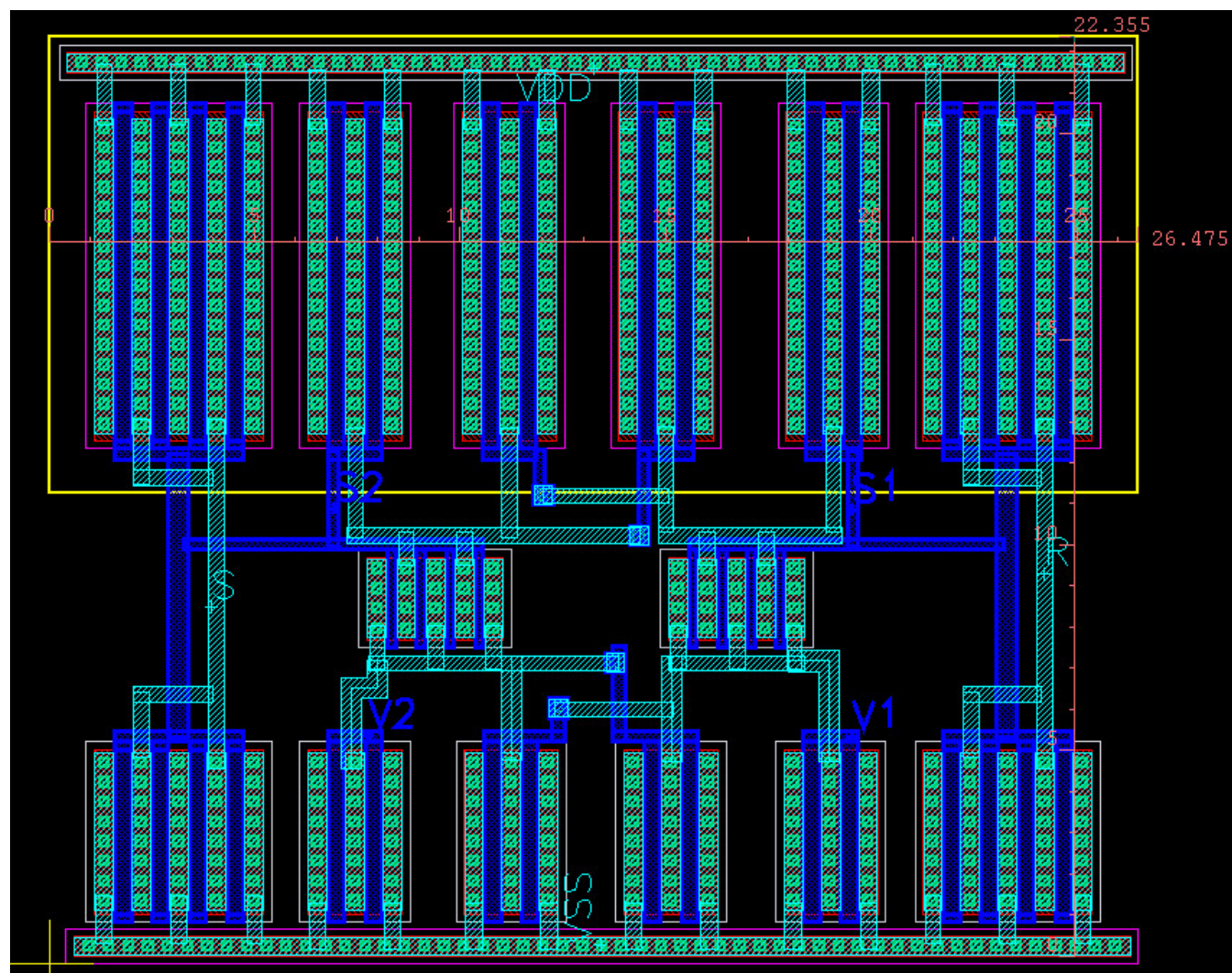
當 $X > Y$ ，則長為 X ，寬為 Y ，其寬長比 $= Y/X$



當 $X < Y$ ，則長為 Y ，寬為 X ，其寬長比 $= X/Y$

以上圖解的定義，寬長比必定為 ≤ 1 的數值，因此當佈局呈現一正方形時(即 X 邊長相似 Y 邊長)，寬長比值就可能近似於 1

佈局題解答：



1. 佈局面積： $26.475 \text{ um} * 22.355 \text{ um} = 591.84 \text{ um}^2 \leq 900 \text{ um}^2$ 正確無誤
2. 佈局寬長比： $22.355 \text{ um} / 26.475 \text{ um} = 0.84 \geq 0.7$ 正確無誤
3. DRC 驗證完成且完全正確無誤
4. LVS 驗證完成且完全正確無誤

DRC 除錯題

A 題目說明：

在進行佈局 DRC 驗證時，發現佈局有 DRC 錯誤，其錯誤如圖一所示。

Check / Cell		Results
⊕	✗ Check NW.S1	1
⊕	✗ Check NIMP.S4	1
⊕	✗ Check ME1.S1	1

圖一 DRC 錯誤

請修正圖一所示之全部 DRC 錯誤，佈局修正時不需考慮電流密度。最終繳交之修正後佈局檔 (**OTA_drc_ok.gds**) 需完成 Calibre LVS 驗證無誤，方能依照「計分方式」計分。

B 計分方式：

依照表一配分方式，每解決一個 DRC 錯誤可得其配分，但最終繳交之修正後佈局檔 (**OTA_drc_ok.gds**) 必需完成 Calibre LVS 驗證無誤，如 LVS 驗證有錯誤，本題 0 分。

錯誤種類	錯誤數量(配分)
NW.S1	1 (5 分)
NIMP.S4	1 (5 分)
ME1.S1	1 (5 分)

表一 DRC 除錯配分表

本題目以解決 DRC 錯誤為主，如因解決題目而額外產生其他 DRC 錯誤，將按照額外產生的 DRC 錯誤數量進行扣分(每多一個額外錯誤扣 1 分)，扣至本題 0 分為止。

C 建議步驟：

1. 請將已知有 DRC 錯誤之佈局檔: **~/Exam/DRC_debug/ OTA_bug_drc.gds** 匯入(Stream In)佈局編輯軟體(如 Virtuoso, Laker)，並請先進行 Calibre DRC 驗證，以確認 DRC 錯誤種類與數量是否與圖一相符。
2. 根據 DRC 錯誤說明找出佈局違反 Design Rule 的位置，並進行錯誤修正。佈局修正時不需考慮電流密度。
3. 進行錯誤修正時，如有需要，可參考圖二電路圖(Schematic)，以利確認佈局的子電路、元件、尺寸與節點等相關資訊。

4. 完成錯誤修正後，必須再進行 DRC 和 LVS 驗證，需同時確保 Calibre DRC 和 Calibre LVS 驗證無誤。

使用製程：TSRI 0.18 1P6M Virtual Process

已知有 DRC 錯誤的佈局檔(GDS File)：

~/Exam/DRC_debug/ OTA_bug_drc.gds

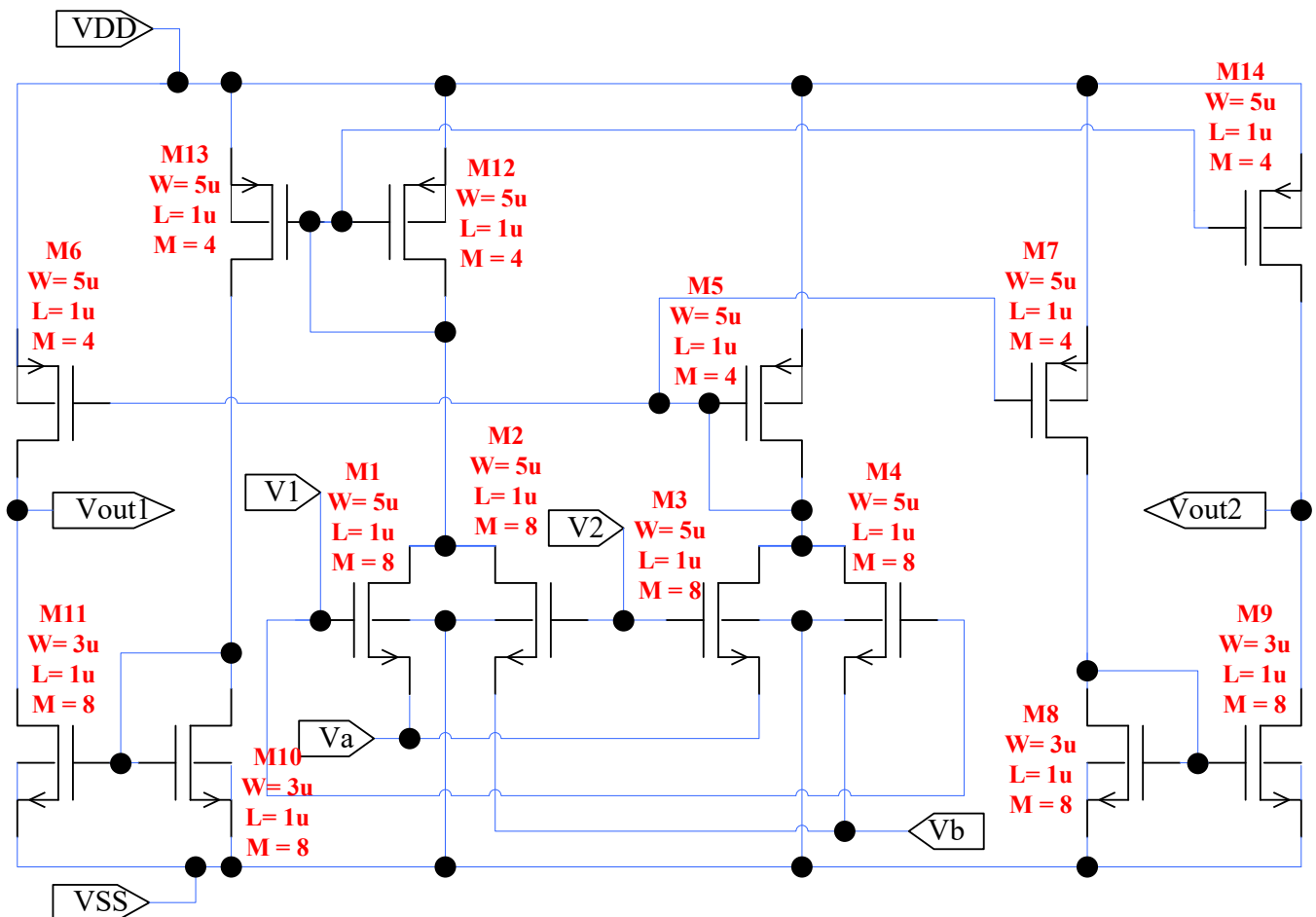
[Top Cell Name: **OTA**]

可驗證 LVS 之 Netlist File：

~/Exam/DRC_debug / OTA.src.net

[Top Cell Name: **OTA**]

電路圖(Schematic)如下圖二：



圖二 電路圖(OTA Schematic)

D 繳交檔案：

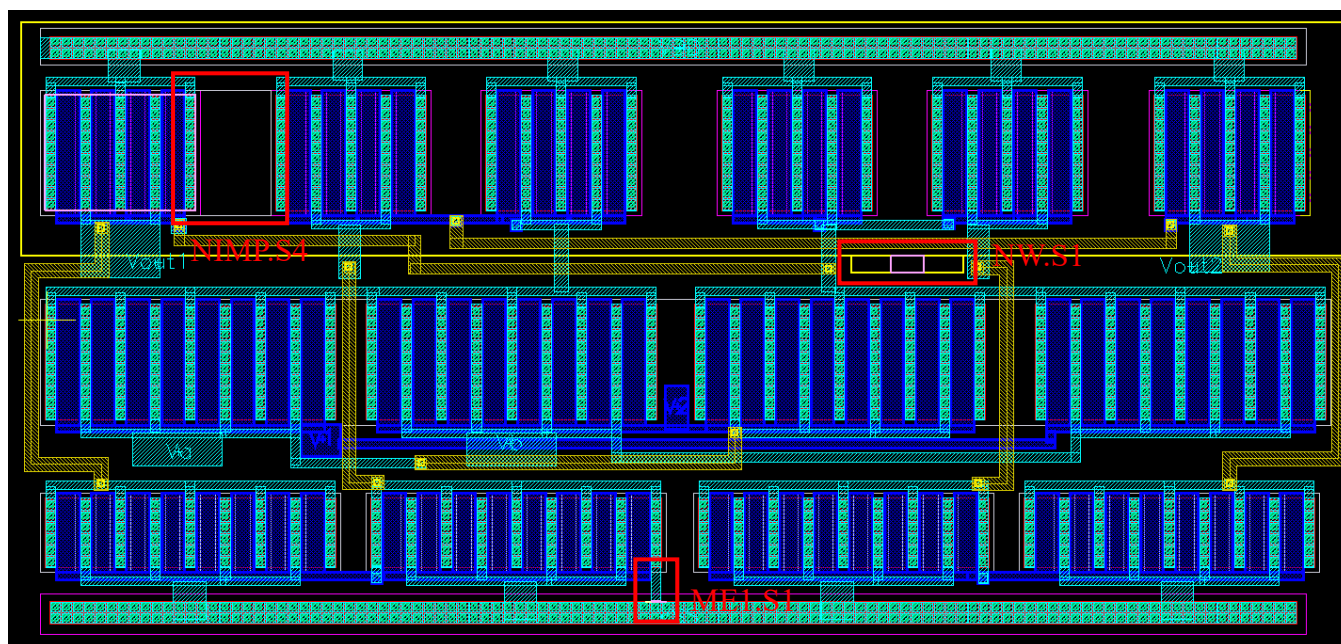
注意：繳交檔案務必依照以下規定命名，並存放於指定目錄下，否則視為未依規定繳交檔案，不予評分與計分！

請將 DRC 錯誤修正後之佈局匯出(Stream Out)，並儲存至:

~/ANS/ANS_DRC_debug/ OTA_drc_ok.gds

以利評分

DRC 除錯題解答：



NW.S1	刪除該錯誤區域中，額外的 2 個 N-WELL 區塊，排除造成的距離不足錯誤。
NIMP.S4	二個 PMOS 中間有額外的 NIMP Layer，請刪除。
ME1.S1	刪除該錯誤區域中，額外的 Metal 1 Layer 區塊，排除造成的距離不足錯誤。

LVS 除錯題

A 題目說明：

在進行佈局 LVS 驗證時，發現佈局有 LVS 錯誤，其錯誤如圖一所示。

Error Type / Layout Cell	Source Cell	Count	Nets	Instances	Ports
✖ Incorrect Instances		11			
✖ Incorrect Nets		3			
✖ 4bits_SBDC	4bits_SBDC	3	24L, 25S (-1)	25L, 20S (+5)	10L, 10S

Cell 4bits_SBDC (14 Discrepancies)	
LAYOUT_NAME	SOURCE_NAME
✖ Discrepancy #1 in 4bits_SBDC	
Net 3	** no similar net **
✖ Discrepancy #2 in 4bits_SBDC	
** no similar net **	net31
✖ Discrepancy #3 in 4bits_SBDC	
** no similar net **	net26

圖一 LVS 錯誤

請修正圖一所示之全部 LVS 錯誤，佈局修正時不需考慮電流密度。

B 計分方式：

完成本題全部 LVS 錯誤修正，並且同時通過 Calibre DRC 和 LVS 驗證，正確無誤後，可得滿分 15 分。

本題以解決 LVS 錯誤為主，如因解決題目而額外產生任何 LVS 或 DRC 錯誤，則本題 0 分計算。

C 建議步驟：

- 請將已知有 LVS 錯誤之佈局檔: **~/Exam/LVS_debug/ 4bits_SBDC_bug_lvs.gds** 匯入(Stream In)佈局編輯軟體(如 Virtuoso, Laker)，並請先進行 Calibre LVS 驗證，以確認 LVS 錯誤種類與數量是否與圖一相符。
- 根據 LVS 錯誤說明找出佈局與電路不一致處，並進行修正。佈局修正時不需考慮電流密度。

3. 進行錯誤修正時，如有需要，可參考圖二~圖八電路圖(Schematic)，以利確認佈局的子電路、元件、尺寸與節點等相關資訊。
4. 完成錯誤修正後，必須再進行 LVS 和 DRC 驗證，需同時確保 Calibre DRC 和 Calibre LVS 驗證無誤。

使用製程：TSRI 0.18 1P6M Virtual Process

已知有 LVS 錯誤的佈局檔(GDS File)：

~/Exam/LVS_debug/ 4bits_SBDC_bug_lvs.gds

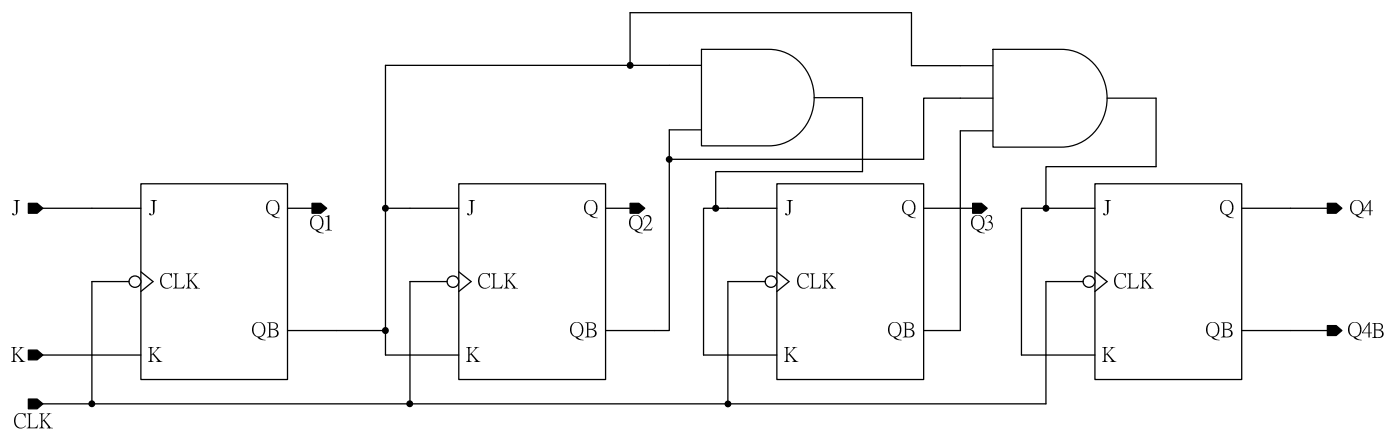
[Top Cell Name: **4bits_SBDC**]

可驗證 LVS 之 Netlist File：

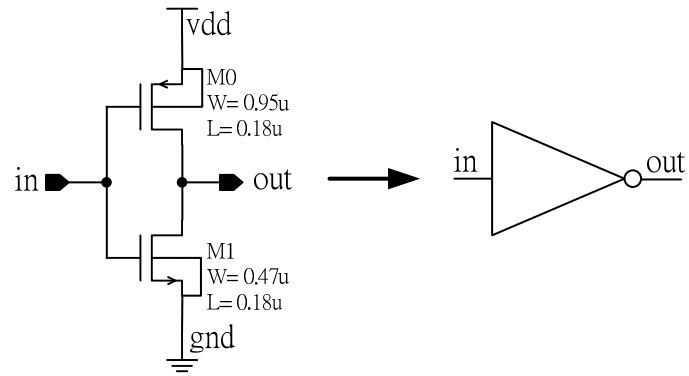
~/Exam/LVS_debug / 4bits_SBDC.src.net

[Top Cell Name: **4bits_SBDC**]

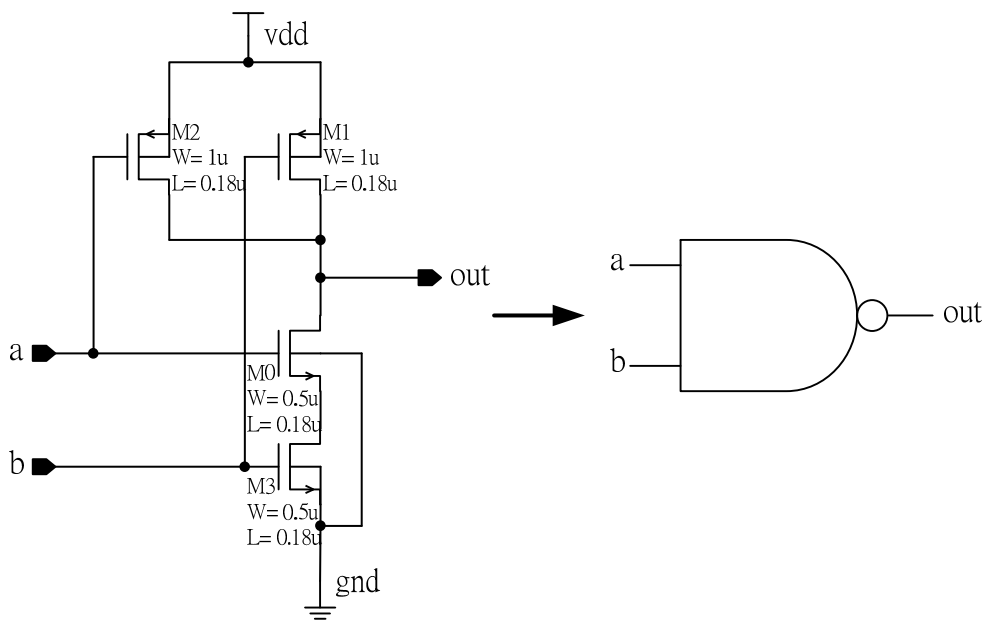
電路圖(Schematic)如下圖二~圖八所示：



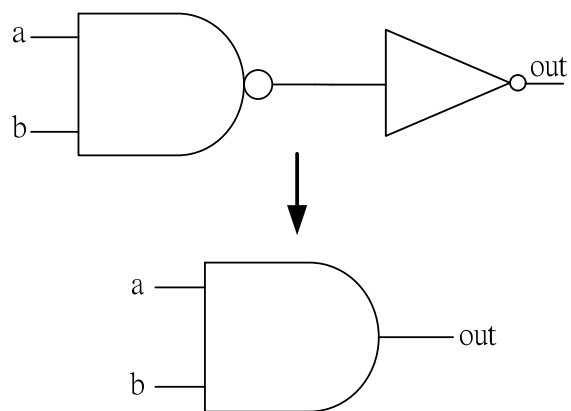
圖二 主電路圖(4-bits Synchronous Binary Down Counter Schematic)



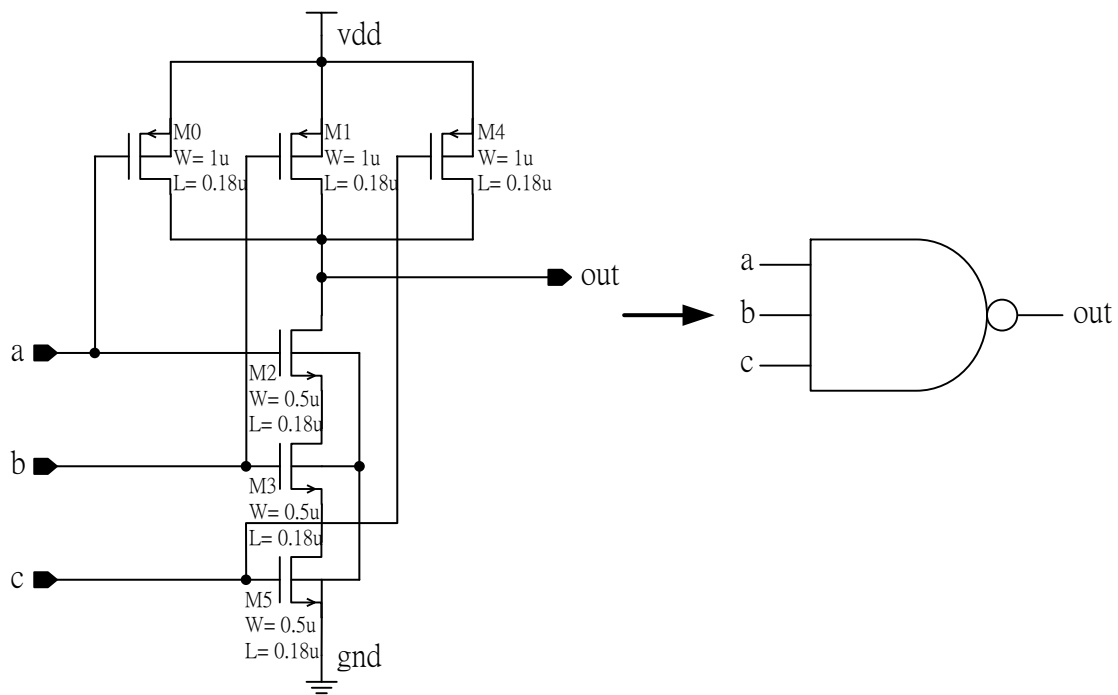
圖三 子電路圖(Inverter Schematic & Symbol)



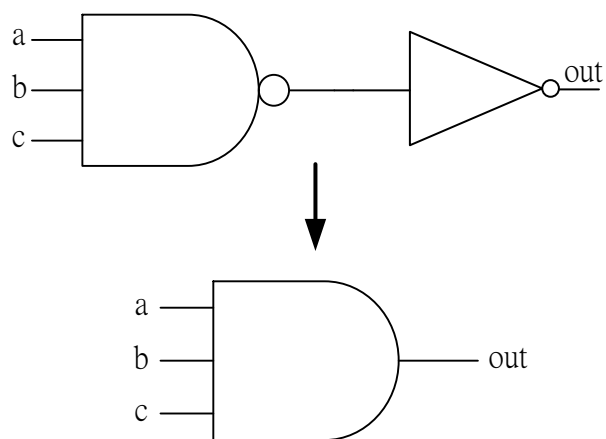
圖四 子電路圖(NAND2 Schematic & Symbol)



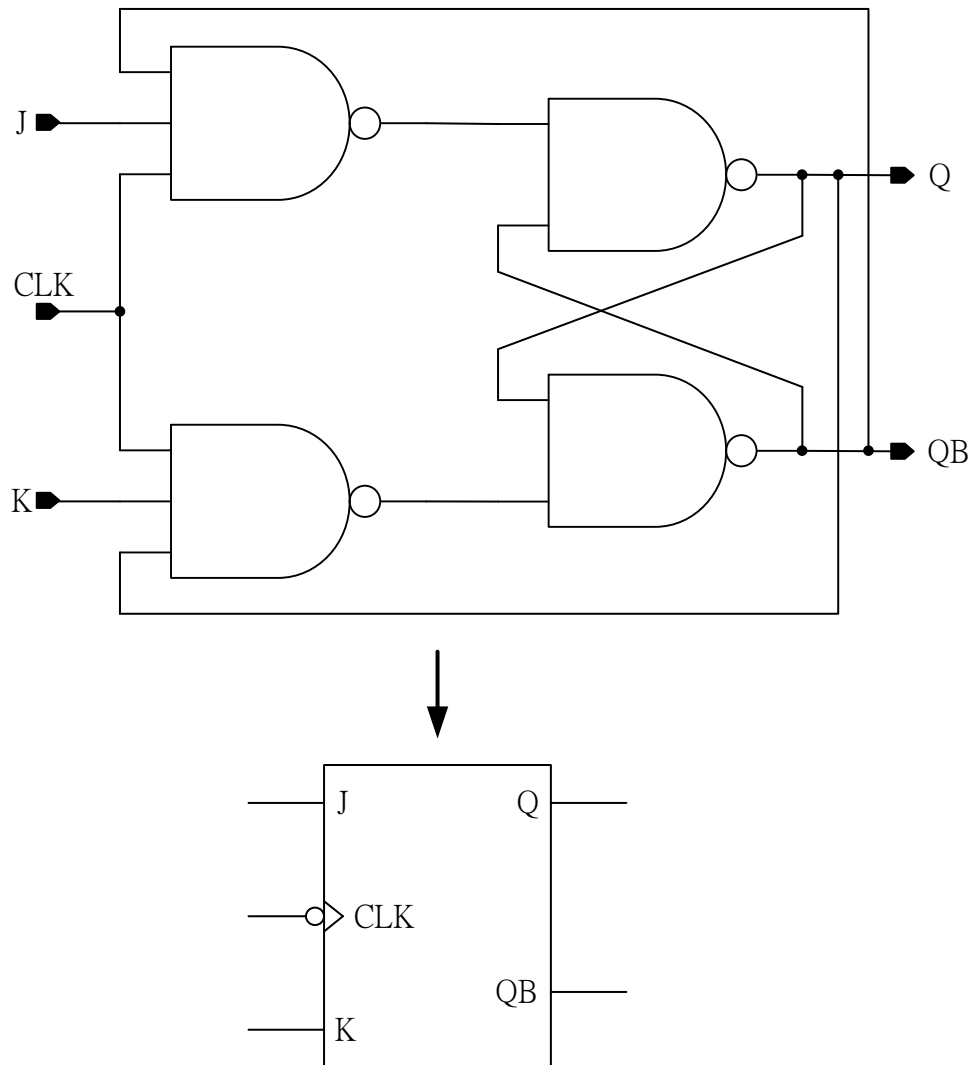
圖五 子電路圖(AND2 Schematic & Symbol)



圖六 子電路圖(NAND3 Schematic & Symbol)



圖七 子電路圖(AND3 Schematic & Symbol)



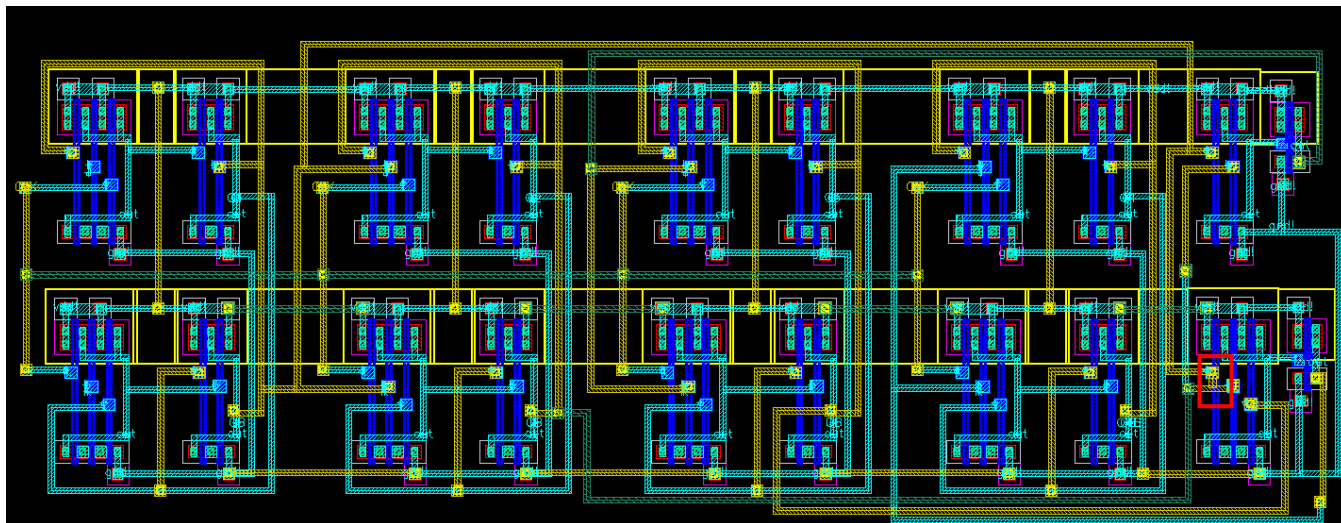
圖八 子電路圖(JK-type Flip-Flop Schematic & Symbol)

D 繳交檔案：

注意：繳交檔案務必依照以下規定命名，並存放於指定目錄下，否則視為未依規定繳交檔案，不予評分與計分！

請將 LVS 錯誤修正後之佈局匯出(Stream Out)，並儲存至：
~/ANS/ANS_LVS_debug/ 4bits_SBDC_lvs_ok.gds
 以利評分

LVS 除錯題解答：



該佈局區域，發生短路現象，請刪除垂直連結的 Metal2 Layer 區塊。